

NECMETTİN ERBAKAN ÜNİVERSİTESİ  
MÜHENDİSLİK MİMARLIK FAKÜLTESİ  
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ BÖLÜMÜ

**SAYISAL DEVRE TASARIMI  
LABORATUVARI  
DENEY FÖYÜ**

## DENEY 1

Elektronik devrelerde sık sık karşımıza çıkan lojik kapılar, daha çok Boolean fonksiyonlarını yerine getirirler ve böylece birden fazla olan sinyal girişinden tek bir sinyal çıkışı elde ederler. Dijital elektronik denildiğinde akıllara genellikle lojik devreler veya diğer bir adıyla lojik kapılar gelir. Entegre (IC - Integrated Circuit) olarak üretilen bu tip devreler, transistör ve diyot gibi temel elektronik elemanlar aracılığıyla elde edilirler. FET, MOSFET ve CMOS elemanları da lojik devreler ile alakalı olarak gelişmiştir. Mantıksal kapı olarak da bilinen bu devreler belirli bir Boolean Cebiri çerçevesinde girişten alınan veriler ile uygun, mantıksal sonuçlar üretirler. İşte bu yüzden de sayısal elektronik sistemlerin en vazgeçilmez elemanları olarak bilinirler. Doğruluk tabloları, sayısal devrenin analizinde kullanılan en basit ve faydalı yöntemdir. N sayıda giriş değeri varken,  $2^N$  sayıda çıkış değeri bulunabilir. Örneğin 2 giriş değeri varsa çıkış değeri  $2^2=4$  farklı değerden birisidir.

Temel kapı devreleri 3 çeşittir:

- ❖ VE (AND)
- ❖ VEYA (OR)
- ❖ DEĞİL (NOT)

Ancak bunlara ek olarak ve bu 3 temel devreden türemiş kapı devreleri de mevcuttur:

- ❖ VEDEĞİL (NAND)
- ❖ VEYADEĞİL (NOR)
- ❖ ÖZELVEYA (XOR)
- ❖ ÖZELVEYADEĞİL (XNOR)

### DENEY:

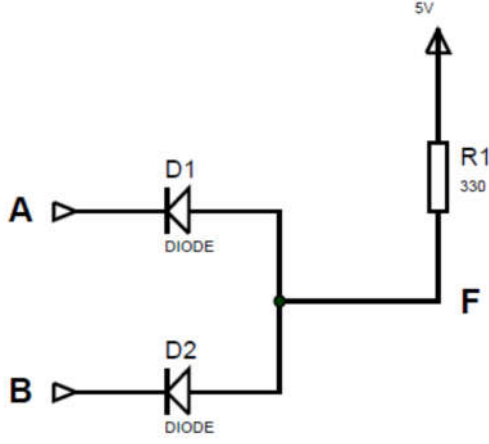
- 1- Aşağıdaki doğruluk tablosunu doldurunuz.
- 2- Her bir çıkış devresini deney seti üzerinde kurunuz ve çıkışları alınız.
- 3- Her çıkış için devre şemalarını çiziniz.

INPUT		OUTPUT						
A	B	AND	OR	NOT	NAND	NOR	XOR	XNOR
0	0							
0	1							
1	0							
1	1							

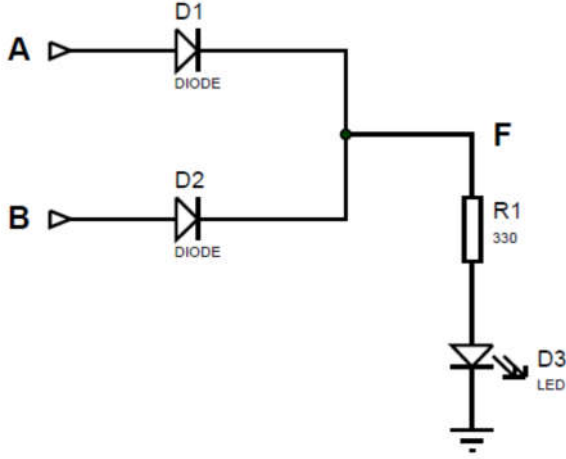
- 4-  $F=AB+B'C$  lojik ifadesini gerçekleştirecek devreyi lojik kapılarla deney seti üzerinde oluşturunuz?
- 5-  $F=AB'C+A'BC+BC'+ABC$  ifadesini Boolean kurallarını kullanarak sadeleştirdikten sonra lojik kapılarla deney seti üzerinde oluşturunuz?

## DENEY 2

Şekildeki her iki devreyi sırasıyla board üzerinde kurduktan sonra deney seti yardımıyla A ve B noktalarından lojik girişleri uygulayınız. Girişteki bitlerin hangi durumlarda çıkış aktif hale gelmektedir ve bu devreler hangi kapı mantığıyla çalışmaktadır?

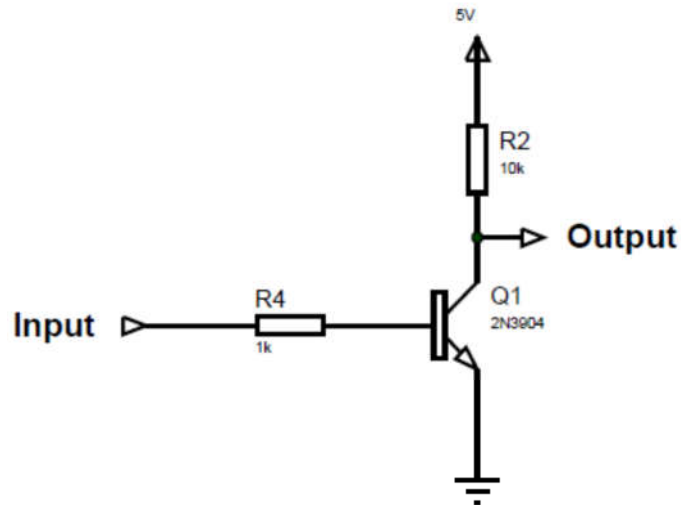


A	B	F
0	0	
0	1	
1	0	
1	1	



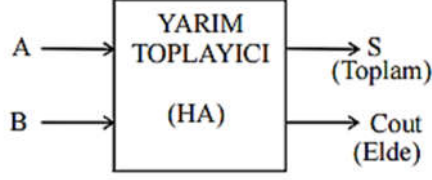
A	B	F
0	0	
0	1	
1	0	
1	1	

Alttaki şekilde verilen devreyi kâğıt üzerinde analiz ederek girişlerine (**Input**) 1 ve 0 bitlerinin uygulanmasına göre çıkış durumlarını (**Output**) belirleyiniz? Bu devre hangi kapı mantığıyla çalışmaktadır?



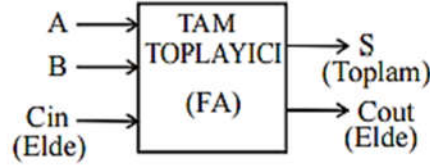
### DENEY 3

Toplama devrelerinin en temel elemanı, yarım toplayıcıdır. Bu devre, ikilik tabanında verilen iki tek bitlik sayıyı toplamaktadır. Bir yarım toplayıcının birer bitlik iki veri girişi için iki giriş, toplam ve oluşan eldenin gösterimi için iki tane çıkışı vardır. Yarım toplayıcı devresi tek başına çok faydalı olmasa da, daha büyük toplama devrelerinin alt bloğu olarak kullanılır.



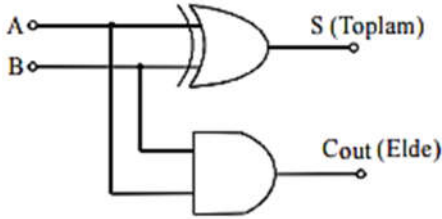
Şekil 1.2: Yarım toplayıcı blok şeması

Tam toplayıcı iki adet yarım toplayıcının bir OR kapısıyla birleşimi neticesinde elde edilir. Üç bitlik verilerin toplanması işlemini gerçekleştiren devrelerdir. Devrenin toplama işlemi için üç giriş, sonucun gösterimi için iki tane çıkışı vardır. Girişlerden ikisi toplama işleminin yapılacağı iki veriyi gösterirken; diğer giriş düşük değerlikli basamaktan oluşan elde girişi içindir. Büyük değerlikli sayıları yarım toplayıcı devresi toplayamaz bundan dolayı tam toplayıcı, büyük değerli sayıların toplanmasında kullanılır.

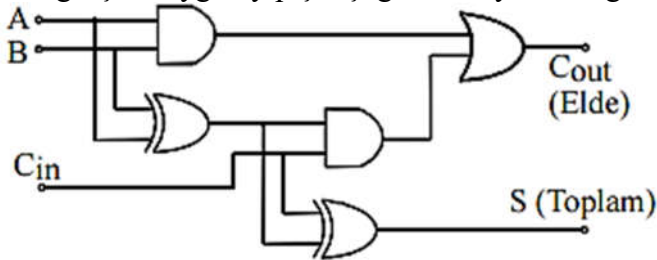


Şekil 1.4: Tam toplayıcı blok şeması

Şekildeki yarım toplayıcı devresinin doğruluk tablosunu oluşturduktan sonra deney seti üzerinde devreyi kurup, S ve Cout çıkışlarını kırmızı ledlere bağlayınız. Giriş bitlerinin alacağı değerlere göre çıkışın nasıl değiştiğini yorumlayınız? Bütün girişleri uygulayıp çıkışı gözlemleyerek doğruluk tablosunu sağlatınız?



Şekildeki tam toplayıcı devresinin doğruluk tablosunu oluşturduktan sonra deney seti üzerinde devreyi kurunuz ve yarım toplayıcı devresinde yaptığımız adımları tekrar ediniz? Bütün girişleri uygulayıp çıkışı gözlemleyerek doğruluk tablosunu sağlatınız?

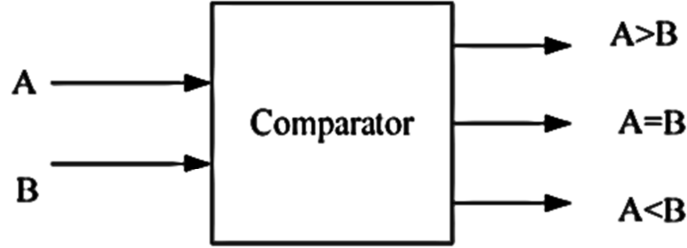


İki tek bitlik bir **yarım çıkarıcı** devresini tasarlayıp deney seti üzerinde kurarak sonuçları test ediniz?

## DENEY 4

Yarım karşılaştırıcı devresi girişine uygulanan bir bitlik iki sayının, sadece birbirine eşit olup olmadığını belirler. 2 girişi 2 çıkışı olan bir devredir. Çıktılardan biri "eşit" çıkışı diğeri "eşit değil" çıkışıdır. Sayılardan hangisinin büyük olduğunu belirlemez.

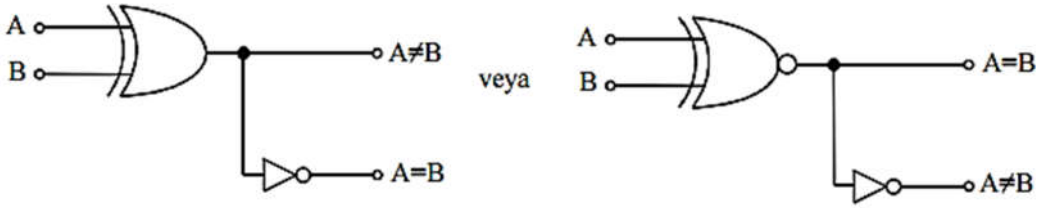
Tam karşılaştırıcı devresi giriş uçlarına uygulanan birer bitlik 2 adet ikilik sayıyı karşılaştırır ve sayıların eşit olup olmadığını, eğer sayılar eşit değilse hangisinin büyük olduğunu belirler. Çıktılar " $A < B$ ", " $A = B$ " ve " $A > B$ " şeklinde isimlendirilmektedir. Hangi sonuç oluşmuşsa o çıkış aktif (lojik 1), diğerleri pasif (lojik 0) olur.



### 1-Bit Karşılaştırıcı

Girişine uygulanan bir bitlik iki sayıyı karşılaştıran (yarım karşılaştırıcı), girişlerin aynı ve farklı olması durumlarına göre çıkış bitini aktif yapan (çıkıştaki ledi yakan yani lojik 1) bir devre tasarlayarak deney seti üzerinde kurunuz? Kurduğunuz devrenin çıkış fonksiyonunu ve doğruluk tablosunu oluşturunuz?

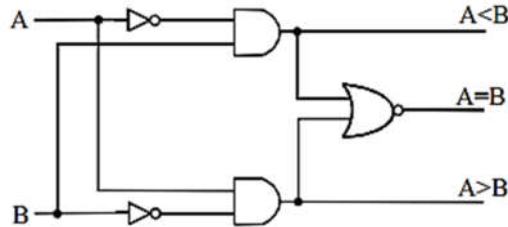
#### ➤ Lojik Devresi



### Yarım karşılaştırıcı lojik devresi

Girişine uygulanan birer bitlik 2 adet ikilik sayıyı karşılaştıran (tam karşılaştırıcı) bir devre tasarlayarak deney seti üzerinde kurunuz? Çıktılarda " $A < B$ ", " $A = B$ " ve " $A > B$ " durumlarını gözlemleyiniz? Kurduğunuz devrenin çıkış fonksiyonlarını ve doğruluk tablosunu oluşturunuz?

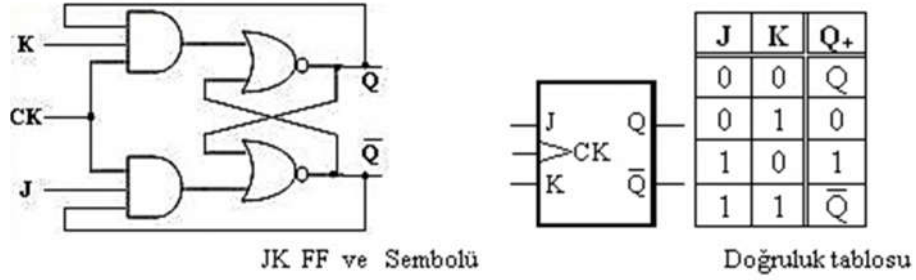
#### ➤ Lojik Devresi



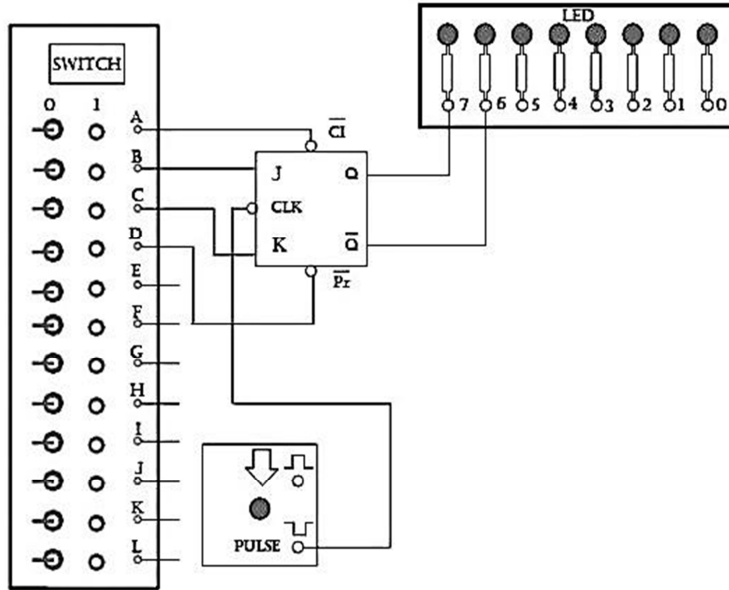
### Tam karşılaştırıcı lojik devresi

## DENEY 5

JK FF en yaygın kullanılan FF'dur ve çok çeşitli uygulama yerleri vardır. JK FF esas olarak R ve S girişleri kapılanmış ve çıkışları çapraz bağlanmış saatli RS FF'dur. JK FF zaman uyumludur ancak zaman uyumsuz denetim girişleri de (Preset ve Clear) kullanılabilir ama bunlar çalışmalarda yasak durum veya belirsiz şartlara neden olabilir. Kenar tetiklemeli JK FF, kenar tetiklemeli D tipi FF'a benzemektedir. JK FF'un sembolü ve doğruluk tablosu aşağıda görülmektedir.



Şekil-1



Şekil-2

KONTROL		GİRİŞLER			ÇIKIŞ		AÇIKLAMA
$\overline{\text{Preset}}$	$\overline{\text{Clear}}$	J	K	$\overline{\text{CLK}}$	Q	Q	
0	0	X	X	X	1	1	Kullanılmaz
1	0	X	X	X	0	1	
0	1	X	X	X	1	0	
1	1	0	1	$\square$	1	0	Önceki durumunu korur
1	1	0	1	$\square$	0	1	
1	1	1	0	$\square$	1	0	
1	1	1	1	$\square$	0	1	Öncekinin tersi
1	1	0	0	$\square$	0	1	Önceki durumunu korur

**Şekil-3**

### Deneyin Yapılışı:

1. Devreyi Şekil 1'deki gibi deney seti üzerinde kurduktan sonra Şekil 3'deki Preset, J-K ve Clk değerlerini kullanarak Q çıkışını gözlemleyip tablodaki ilgili hanelere yazınız.

**NOT:** (X) Görülen yerler fark etmez (Don't care) değerlerdir yani "1" veya "0" olabilir. Clk palsi her dizide en son verilmelidir.

2. J-K girişlerinin her ikisi de "0" iken Clk geldiği zaman FF eski durumunu koruyor mu?

3. Clk girişi "1" den "0" a indirildiğinde FF tetikleniyor mu?

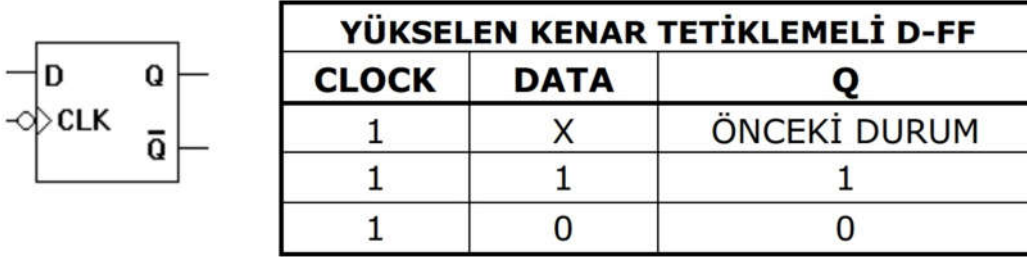
4. Şekil 3'deki sonuçlarla JK FF gerçeklik tablosu doğrulanmış mıdır?

5. Clear ve preset kontrolleri hangi durumlarda etkili olmaktadır?

## LOJİK DENEY-6

D-FF seviye ve kenar tetiklemesi ile çalışabilir. Seviye tetiklemeli D-FF ta Clock sinyali aktif durumda iken, veri hattında ne varsa çıkışına (Q) bunu aktarır. Kenar tetiklemeli D-FF sadece clk palsi değişimi sırasında veri hattındaki mantık durumunu çıkışa (Q) aktarır. Her iki D-FF türünde de yasak durum veya belirsizlik durumu oluşmaz. D-FF' un sembolü ve doğruluk tablosu aşağıda görülmektedir. **Deneyde J-K FF ve inverter ile elde edilecek olan D-FF yükselen kenar tetiklemelidir.**

Şekil 1’de D flip flop’un yapısı ve yükselen kenar tetiklemeli D-FF için doğruluk tablosu verilmiştir.



Şekil 1

### Deneyin Yapılışı:

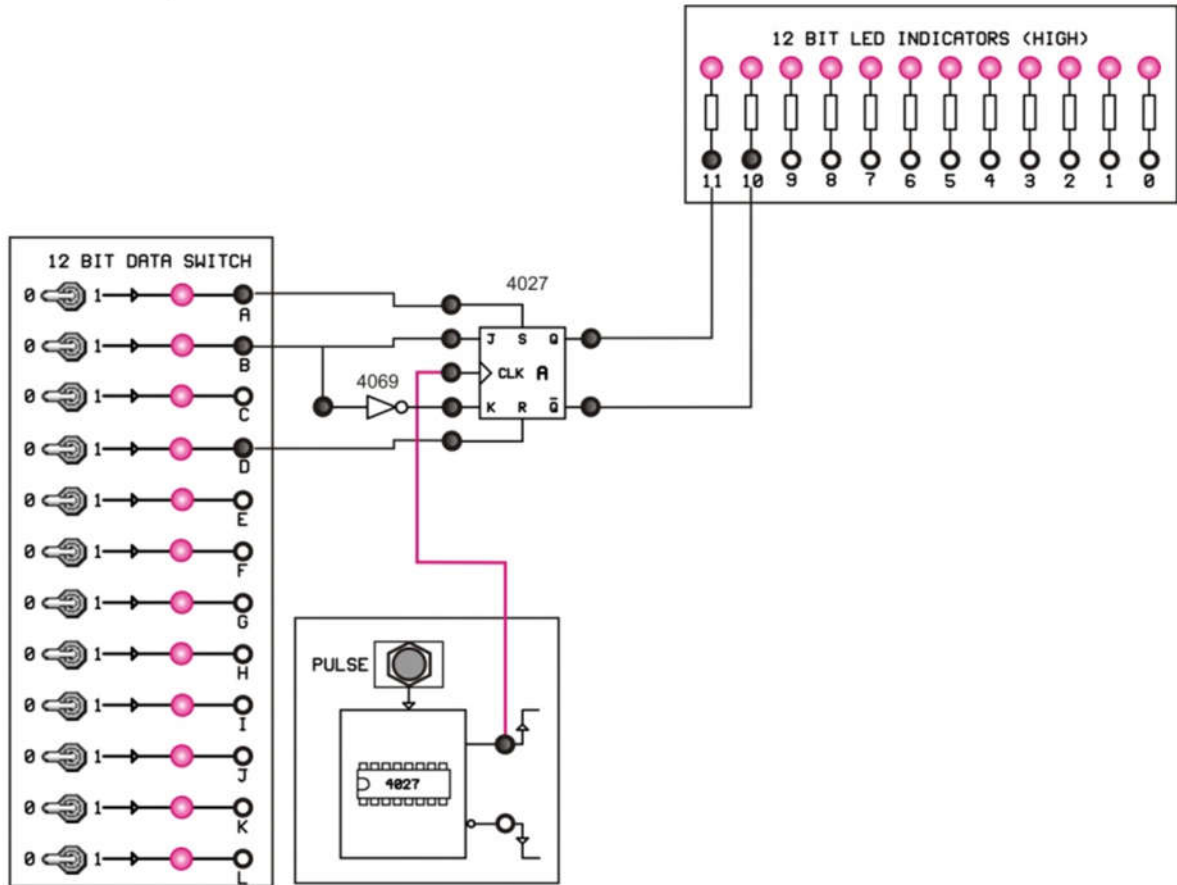
1. Bu deneyde J-K Flip flop ve inverter kullanarak D-Flip Flop elde edilecektir. Bunun için Şekil 2’deki devreyi kurunuz.
2. Aşağıdaki Tablo 1’deki SET,RESET, CLOCK ve D değerlerini deneyerek , çıkışlar için tabloyuz doldurunuz.

KONTROL		GİRİŞLER		ÇIKIŞLAR	
SET	RESET	CLOCK	DATA	Q	Q'
1	1	X	X	1	1
1	0	X	X		
0	1	X	X		
0	0	1	1		
0	0	1	0		

Tablo 1

3. Tablo 1’deki çıkışlara göre devremiz D-FF gibi çalıştı mı? Değerlendiriniz.





Şekil 2