



T.C.
NECMETTİN ERBAKAN ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ



YÜKSEK LİSANS DERS TANITIM FORMU

Öğretim Elemanları Tarafından Her Bir Ders İçin Ayrı Ayrı Doldurulacaktır

AF-02

Fakülte / Enstitü / Yüksekokul	Fen Bilimleri Enstitüsü
Bölüm / Program	Elektrik-Elektronik Mühendisliği
Ana Bilim / Bilim Dalı	Elektrik-Elektronik Mühendisliği ABD.

Dersin Kodu	Dersin Adı	Yarıyıl	Kredi		
Boş Bırakınız!	FPGA ile Lojik Devre Tasarımı	<input type="checkbox"/> Güz	T	U	AKTS
		<input checked="" type="checkbox"/> Bahar	3	0	8

Dersi Veren Öğretim Elemanı (Adı, Soyadı, Unvanı)	Dersin Verilebileceği Diller	Dersin Türü	
Yrd.Doç.Dr. Muhammed Fahri ÜNLERŞEN	Türkçe <input checked="" type="checkbox"/>	Zorunlu	Seçmeli
	İngilizce <input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>
	Diğer <input type="checkbox"/>		

Dersin Amaçları	Öğrencinin FPGA ile Lojik Devre Tasarımı hakkında yeterli bilgi ve beceriye sahip olmasını sağlamak.			
Dersin İçeriği	Hafta	Konu	Ön Hazırlık	Öğretim Metodu
	1	Şematik donanım tanımlama		
	2	Verilog ve VHDL donanım tanımlama dilleri		
	3	VHDL kod yapısı		
	4	Library, entitiy ve architecture		
	5	VHDL data tipleri		
	6	Operatörler		
	7	Kod tipleri		
	8	Sinyaller ve değişkenler		
	9	Durum makinaları		
	10	Fonksiyonlar ve prosedürler		
	11	Lojik fonksiyonlar ve kapılar		
	12	Kombinasyonel lojik, sıralı lojik, programlanabilir lojik mimariler		
	13	Altera FPGAsı ile lojik fonksiyonların gerçekleştirilmesi		
14	Altera FPGAsı ile lojik fonksiyonların gerçekleştirilmesi			
Öğrenim Kazanımları	1- Öğrenci bu ders sonunda FPGA ile Lojik Devre Tasarımı hakkında yeterli bilgiye sahip olur 2- İstenen gereksinimleri karşılayacak biçimde bir sistemi, parçayı veya süreci tasarlar 3- Mühendislik uygulamaları için gerekli teknikleri, yetenekleri ve modern araçları kullanma becerisini kazanır			



T.C.
NECMETTİN ERBAKAN ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ



Öğretim Yöntemleri	Teorik olarak anlatım Bilgisayar simülasyon programları üzerinde uygulamalar FPGA kitlerinde uygulama
Ders İçin Önerilen Kaynaklar	1. Circuit Design with VHDL, MIT Press 2. Palme Yayıncılık Her Yönüyle FPGA ve VHDL, Sedat Karataş, Palme Yayıncılık 3. Vhdl İle Sayısal Tasarım Ve FPGA Uygulamaları Oku, İzle, Dinle, Öğren!, Mehmet Ali Çavuşlu, KODLAB

Değerlendirme Metodu		
Yarıyıl Çalışmaları	Adet	Yüzde
Ara Sınav		
Devamsızlık		
Quiz		
Ödev	3	% 25
Proje	1	% 25
Saha Çalışması		
Sunum /Seminer		
Uygulama Çalışmaları (Laboratuvar, Stüdyo Çalışmaları vb)		
Diğer (staj vb)		
	Toplam	
Yarıyıl Çalışmaları		
Yıl İçinin Başarıya Oranı	1	% 50
Finalin Başarıya Oranı	1	% 50
	Toplam	100

T: Teori; U: Uygulama; AKTS: Avrupa Kredi Transfer Sistemi